

Publication number: JP5158821 (A)

Publication date: 1993-06-25

Inventor(s): MENAKEMU DEIAMANSUTAIN; YONA NIYUUMAN; BIKUTAA KOREN

Applicant(s): MOTOROOOLA ISURAERU LTD

Classification:


- international: *G06F13/00; H04B1/40; G06F13/00; H04B1/40; (IPC1-7): G06F13/00*

- **European:** H04B1/40

Application number: JP19920131457 19920427


Priority number(s): GB19910009301 19910430

Also published as:


 JP2748773 (B2)

 EP0511511 (A2)

EP0511511 (A3)

 EP0511511 (B1)

 US5404547 (A)

 DE69215744 (T2)

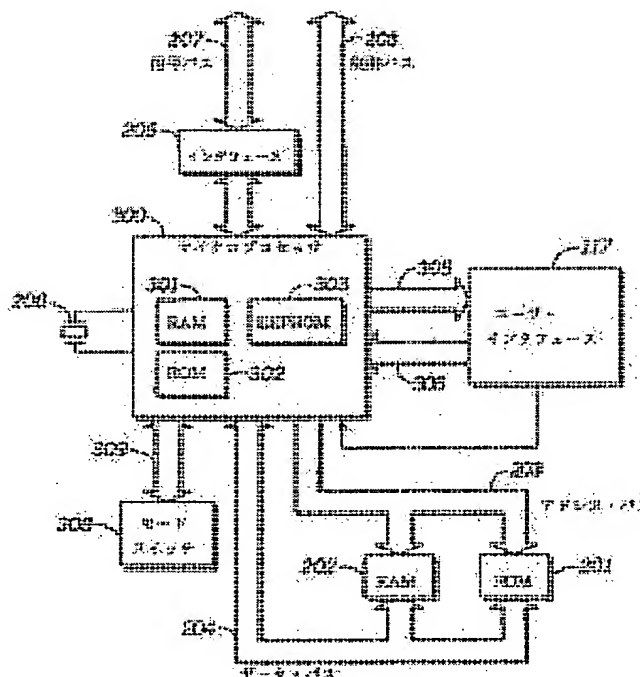
AT146317 (T)

<< less

Abstract of JP 5158821 (A)

PURPOSE: To improve the sensitivity of a radio receiver by reducing noise produced by a microprocessor used in a radio reception circuit.

CONSTITUTION: A software program composed of a module of program codes is classified into routines of first and second categories. The routine of the first category relates to device functions which are apt to be affected by produced noise and stored in internal memories 301, 302, and 303 during operations. The routine of the second category is stored in external memories 201 and 202 against the microprocessors 300 and relates to device functions which are hardly affected by the noise. The routines of the first and second categories are respectively executed in the single chip mode and expansion mode of the microprocessors 300. When the microprocessors 300 are operated in the single chip mode, a ROM 201 and a RAM 202 are not operated.



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-158821

(43)公開日 平成5年(1993)6月25日

(51)IntCl.⁵

G 0 6 F 13/00

識別記号

3 0 1 S 7368-5B

3 5 1 L 7368-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数31(全 15 頁)

(21)出願番号 特願平4-131457

(22)出願日 平成4年(1992)4月27日

(31)優先権主張番号 9 1 0 9 3 0 1 . 3

(32)優先日 1991年4月30日

(33)優先権主張国 イギリス(GB)

(71)出願人 592110598

モトローラ・イスラエル・リミテッド

MOTOROLA ISRAEL LIMITED

イスラエル国、テルアビブ、クレメネツキー・ストリート16

(72)発明者 メナケム・ディアマンスタイン

イスラエル国、テルアビブ、バラザニ・ストリート1

(72)発明者 ヨナ・ニューマン

イスラエル国、ラ・アナナ、スワルツ・ストリート22・7

(74)代理人 弁理士 大賀 進介 (外1名)

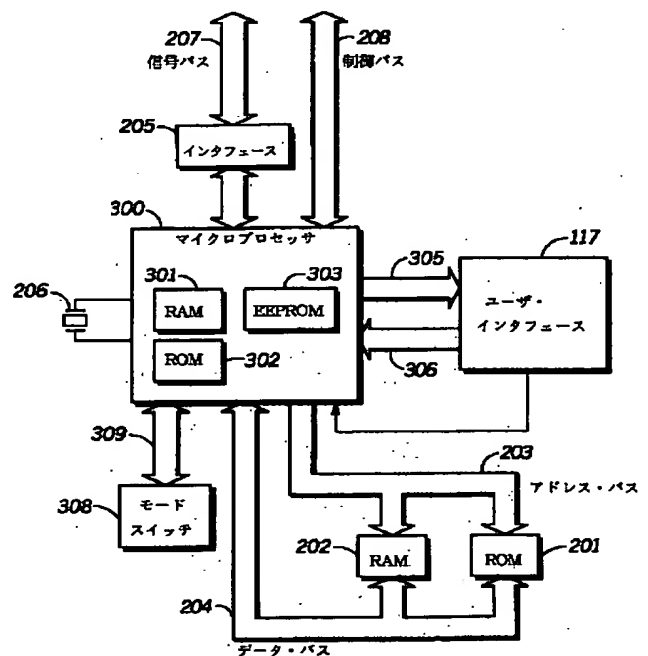
最終頁に続く

(54)【発明の名称】 電子装置

(57)【要約】 (修正有)

【目的】 無線受信回路内で用いられるマイクロプロセッサによって生成される雑音を低減し無線受信回路の感度を改善する。

【構成】 プログラム・コードのモジュールからなるソフトウェアプログラムは、第1・第2カテゴリのルーチンに分類される。第1カテゴリのルーチンは、発生雑音の影響を受けやすい装置機能に関連し、動作中には内部メモリ301、302、303に格納される。第2カテゴリのルーチンは、マイクロプロセッサ300に対して外部メモリ201、202に格納され、発生雑音の影響をあまり受けない装置機能に関する。この第1・第2カテゴリのルーチンは、マイクロプロセッサ300のシングル・チップ・モードと拡張モードにおいてそれぞれ実行される。プロセッサがシングル・モードで動作する場合はROM201・RAM203は非動作である。



【特許請求の範囲】

【請求項1】 a) データ信号を処理し、出力するマイクロプロセッサであって：

i) 内部メモリ(301, 302, 303)；

i i) 中央処理装置；および

i i i) 前記メモリと前記処理装置との間で結合される内部バス；を有するマイクロプロセッサと、

b) 前記マイクロプロセッサに対して外部のメモリ(201, 202)と、

c) 前記マイクロプロセッサ(300)に対して外部の前記メモリ(201, 202)と前記マイクロプロセッサ(300)との間に結合された外部アドレッシング用の外部バス(203, 204, 207, 208)とによって構成される電子装置において、前記マイクロプロセッサは：

i) マイクロプロセッサ(300)が前記内部メモリ(301, 302, 303)と、前記処理装置と、前記内部バスとの間の内部動作に限定し、その結果、マイクロプロセッサ(300)は外部バス(203, 204, 207, 208)上のアドレッシングを禁止し、局部発生雑音を低減するシングル・チップ・モード；および

i i) マイクロプロセッサ(300)が外部バス(203, 204, 207, 208)上で動作を実行する拡張モード；で実行することができる電子装置であって、この電子装置はさらに：

d) 電子装置に関連するソフトウェアプログラムであって：

i) 動作中に、前記内部メモリ(301, 302, 303)に格納され、かつ、発生雑音によって影響されやすい装置機能に関連する第1カテゴリのルーチン；および

i i) マイクロプロセッサに対し外部の前記メモリ(201, 202)に格納され、かつ、発生雑音にあまり影響されない装置機能に関する第2カテゴリのルーチン；に分類されるプログラム・コードのモジュールによって構成されるソフトウェア・プログラム；および

e) 第1カテゴリのルーチンをマイクロプロセッサのシングル・チップ・モードで実行し、第2カテゴリのルーチンをマイクロプロセッサの拡張モードで実行する手段；を含んで構成されることを特徴とする電子装置。

【請求項2】 第1カテゴリのルーチンは：

a) 連続的に動作状態であり、かつ、前記マイクロプロセッサ(300)の内部メモリ(302, 303)内に永久的に保存された第1カテゴリのコードのモジュールからなる第1カテゴリの主アルゴリズムのセットと、

b) 随時にしか実行されず、かつ、前記マイクロプロセッサ(300)に対して外部のメモリ(201, 202)に最初に格納される第1カテゴリのコードのモジュールからなる第1カテゴリの副アルゴリズムのセットとにさらに区分され；実行すべく呼び出された場合に、第1カテゴリ副ルーチンをマイクロプロセッサの内部メモ

リ(301)にロードする手段をさらに含んで構成されることを特徴とする請求項1記載の電子装置。

【請求項3】 前記シングル・チップ・モードと前記拡張モードとの間で切り換えるためのコマンドを受信する入力手段(118, 121, 306, 307)；および前記受信コマンドに応答して、モード遷移を実行する手段(308, 309)をさらに含んで構成され；このようなコマンドを受信すると、マイクロプロセッサ(300)のマイクロ・リセットが強制実行されることを特徴とする請求項2記載の電子装置。

【請求項4】 モード遷移を実行する手段(308, 309)は、新たな動作モードについてソフトウェア・プログラム内の所望の開始番地を示すベクトルを表す、マイクロプロセッサ(300)によって生成されたビット値を受け取る格納手段によって構成され、

このビット値は、強制マイクロ・リセットの前に格納手段に書き込まれ、モード遷移が行われた直後にこの格納手段から読み出されることを特徴とする請求項3記載の電子装置。

【請求項5】 新たな動作モードの所望の開始番地を表すベクトルを強制マイクロ・リセットの初期化の以前にマイクロプロセッサ(300)の内部メモリに書き込み、かつ、モード遷移が行われた直後にこのベクトルを読み出す手段が設けられることを特徴とする請求項4記載の電子装置。

【請求項6】 前記モード間の遷移を行うコマンドは、マイクロプロセッサ(300)内へのクロック・モニター不良(clock monitor fail)の登録およびコードのモジュールによるSTOP命令の発行に응答して生成されることを特徴とする請求項5記載の電子装置。

【請求項7】 前記モード間の遷移を行うコマンドは、ワッチドッグ・タイマ回路のイネーブルおよびワッチドッグ・タイマのソフトウェア・リセットの防止に응答して生成されることを特徴とする請求項5記載の電子装置。

【請求項8】 前記モード間の遷移を行うコマンドは、コードのモジュール内の特定の指定番地で不正オペコードの検出に응答して生成されることを特徴とする請求項5記載の電子装置。

【請求項9】 前記モード間の遷移を行うコマンドは、モード選択手段(405, 406, 417)の初期化および結合されたマイクロプロセッサ・リセット入力手段(400)の起動に응答して生成されることを特徴とする請求項5記載の電子装置。

【請求項10】 ベクトルは、各特定の入力手段(118, 121, 306, 307)から受信されるコマンドによって独自に定義されることを特徴とする請求項4記載の電子装置。

【請求項11】 ベクトルは、マイクロプロセッサを再起動する第1モジュールのコードをアクセスし、その

後所望の第2モジュールのコードを起動するルーチンを含むことを特徴とする請求項10記載の電子装置。

【請求項12】 内部メモリ(301, 302, 303)は、揮発性(301)および不揮発性(302, 303)メモリによって構成されることを特徴とする請求項1記載の電子装置。

【請求項13】 マイクロプロセッサ(300)は：受信機(110)と、送信機(112)と、ユーザ・インタフェース(117)とによって構成される無線通信装置の一部をなすことを特徴とする請求項1記載の電子装置。

【請求項14】 i) 内部メモリ(301, 302, 303)；

ii) 中央処理装置；および

iii) 前記メモリと前記処理装置との間に結合された内部バス；を有する、データ信号を処理し、出力するマイクロプロセッサ(300)と、前記マイクロプロセッサ(300)に対して外部のメモリ(201, 202)と、

前記マイクロプロセッサ(300)に対して外部の前記メモリ(201, 202)と前記マイクロプロセッサ

(300)との間に結合された外部アドレッシング用の外部バス(203, 204, 207, 208)と、マイクロプロセッサ(300)によって制御され、電子装置の動作に関連するプログラム・コードのモジュールからなるソフトウェア・プログラムとによって構成される電子装置において、前記マイクロプロセッサは：

i) マイクロプロセッサ(300)が前記内部メモリ(301, 302, 303)と、前記処理装置と、前記内部バスとの間の内部動作に限定し、その結果、マイクロプロセッサ(300)は外部バス(203, 204, 207, 208)上のアドレッシングを禁止し、局部発生雑音を低減するシングル・チップ・モード；および

ii) マイクロプロセッサ(300)が外部バス(203, 204, 207, 208)上で動作を実行する拡張モード；で実行することができる電子装置において局部発生雑音の影響を低減する方法であって：

a) 前記コードのモジュールを：

i) 動作中に、発生雑音によって影響されやすい装置機能に関連する第1カテゴリのルーチン；および

ii) 動作中に、発生雑音にあまり影響されない装置機能に関する第2カテゴリのルーチン；に区分する段階；

b) 第1カテゴリのルーチンを前記マイクロプロセッサ(300)に対して内部のメモリ(301, 302, 303)に格納する段階；

c) 第3カテゴリのルーチンを前記マイクロプロセッサ(300)に対して外部のメモリ(201, 202)に格納する段階；

d) 前記マイクロプロセッサ(300)が前記シングル・チップ・モードで動作している場合に、前記第1カテ

ゴリのルーチンを実行する段階；および

e) 前記マイクロプロセッサ(300)が前記拡張モードで動作している場合に、前記第2カテゴリのルーチンを実行する段階によって構成され；その結果、局部発生雑音が該雑音の影響を受けやすい装置機能に及ぼす悪影響が低減されることを特徴とする方法。

【請求項15】 f) 第1カテゴリのルーチンを：

i) 連続的に動作状態であり、かつ、前記マイクロプロセッサ(300)の内部メモリ(302, 303)に永久的に保存された第1カテゴリのコードのモジュールからなる第1カテゴリの主アルゴリズムのセットと、

ii) 随時にしか実行されず、かつ、前記マイクロプロセッサ(300)に対して外部のメモリ(201, 202)に最初に格納される第1カテゴリのコードのモジュールからなる第1カテゴリの副アルゴリズムのセットとに区分する段階；および

g) マイクロプロセッサ(300)に前記シングル・チップ・モードで第1カテゴリの主アルゴリズムを実行させる段階；をさらに含んで構成されることを特徴とする請求項14記載の方法。

【請求項16】 前記シングル・チップ・モードと前記拡張モードとの間で切り換えるための命令を受信する入力手段(118, 121, 306, 307)；および前記受信コマンドに応答して、マイクロプロセッサの内部メモリ(301)に第1カテゴリの副ルーチンをロードするロード手段をさらに含んで構成される請求項15記載の装置において：

h) 前記シングル・チップ・モードと前記拡張モードとの間で切り換えるための命令を受信する段階；

i) 前記第1カテゴリの副アルゴリズムを前記内部メモリ(302, 303)にロードする段階；

j) 前記シングル・チップ・モードに入る段階；および

k) 前記シングル・チップ・モードで前記第1カテゴリの副アルゴリズムを実行する段階；をさらに含んで構成されることを特徴とする請求項15記載の方法。

【請求項17】 前記シングル・チップ・モードと前記拡張モードとの間で切り換える段階は：

l) マイクロプロセッサ(300)のマイクロ・リセットを強制実行することによって行われることを特徴とする請求項16記載の方法。

【請求項18】 m) ソフトウェア・プログラム内の所望の開始番地を示すベクトルを表し、かつ、マイクロプロセッサ(300)によって生成されるビット値を、前記強制マイクロ・リセットの初期化の前に前記内部メモリ(302, 303)に格納する段階；

n) 前記シングル・チップ・モードと前記拡張モードとの間の遷移の直後に、格納されたビット値を読み出す段階；および

o) そこに格納されたコードを実行する段階；をさらに含んで構成されることを特徴とする請求項17記載の方

法。

【請求項19】 a) オンチップ・メモリ(301, 302, 303)と内部バスとを内蔵し、かつ、シングル・チップ・モードおよび拡張モードで動作可能であり、前記シングル・チップ・モードではマイクロプロセッサ(300)の動作を内部動作に限定し、それにより外部アドレッシングおよび局部発生雑音を抑制し、拡張モードでは外部アドレッシングを許すマイクロプロセッサ(300)；

b) マイクロプロセッサ(300)に対して外部であり、かつ前記マイクロプロセッサ(300)に結合されるメモリ(201, 202)；

c) 電子装置に関連するソフトウェア・プログラムであって；

i) 動作中に、前記内部メモリ(301, 302, 303)に格納され、かつ、発生雑音によって影響されやすい装置機能に関連する第1カテゴリのルーチン；および
ii) マイクロプロセッサに対し外部の前記メモリ(201, 202)に格納され、かつ、発生雑音にあまり影響されない装置機能に関する第2カテゴリのルーチン；に分類されるプログラム・コードのモジュールによって構成されるソフトウェア・プログラム；および

d) 第1カテゴリのルーチンをマイクロプロセッサのシングル・チップ・モードで実行し、第2カテゴリのルーチンをマイクロプロセッサの拡張モードで実行する手段；によって構成されることを特徴とする電子装置。

【請求項20】 第1カテゴリのルーチンはさらに：

a) 連続的に動作状態であり、かつ、前記マイクロプロセッサ(300)の内部メモリ(302, 303)内に永久的に格納される第1カテゴリのコードのモジュールからなる第1カテゴリの主アルゴリズムのセット；および

b) 随時にしか実行されず、かつ、前記マイクロプロセッサ(300)に対して外部のメモリ(201, 202)に最初に格納される第1カテゴリのコードのモジュールからなる第1カテゴリの副アルゴリズムとにさらに区分され；実行すべく呼び出された場合に、第1カテゴリ副ルーチンをマイクロプロセッサの内部メモリ(301)にロードする手段をさらに含んで構成されることを特徴とする請求項19記載の電子装置。

【請求項21】 前記内部メモリは：

a) 前記第1カテゴリの主アルゴリズムが格納される不揮発性メモリ(301)；および

b) 前記第1カテゴリの副アルゴリズムが周期的にロードされ格納される揮発性メモリ(302, 303)；によって構成されることを特徴とする請求項19記載の電子装置。

【請求項22】 動作モードの間で切り換えるためのコマンドを受信する入力手段(118, 121, 306, 307)；および前記入力手段(118, 121, 30

10

20

30

40

50

6, 307)からのコマンドの受信に応答して、動作モード遷移を実行する手段(308, 309)；をさらに含んで構成され、

その結果、マイクロプロセッサ(300)のマイクロ・リセットが強制実行されることを特徴とする請求項19, 20または21記載の電子装置。

【請求項23】 動作モードの間で切り換えるためのコマンドは、マイクロプロセッサ内のクロック・モニタ不良の登録およびコード・モジュールによるSTOP命令の発行に応答して生成されることを特徴とする請求項22記載の電子装置。

【請求項24】 動作モードの間で切り換えるためのコマンドは、ワッチドッグ・タイマ回路のイネーブルおよびワッチドッグ・タイマのソフトウェア・リセットの禁止に応答して生成されることを特徴とする請求項22記載の電子装置。

【請求項25】 動作モードの間で切り換えるためのコマンドは、コードのモジュール内の特定の指定番地における不正オペコードの検出に応答して生成されることを特徴とする請求項22記載の電子装置。

【請求項26】 動作モードの間で切り換えるためのコマンドは、モード選択手段(405, 406, 417)の初期化および結合されたマイクロプロセッサ・リセット入力手段(400)の起動に応答して生成されることを特徴とする請求項22記載の電子装置。

【請求項27】 新たな動作モードの所望の開始番地を表すベクトルを強制マイクロ・リセットの初期化の以前にマイクロプロセッサ(300)の内部揮発性メモリ

(301)に書き込み、かつ、モード遷移が行われた直後にこのベクトルを読み出す手段が設けられることを特徴とする請求項23, 24, 25または26記載の電子装置。

【請求項28】 動作モード遷移を実行する手段(308)は、新たな動作モードの所望の開始番地を示すベクトルを表す、マイクロプロセッサ(300)から出力されるバイナリ値を受け取る格納手段からなり、このビット値は、強制マイクロ・リセットの前に格納手段に書き込まれ、モード遷移が行われた直後にこの格納手段から読み出されることを特徴とする請求項23, 24, 25または26記載の電子装置。

【請求項29】 ベクトルは、各特定の入力手段(118, 121, 306, 307)から受け取られたコマンドによって独自に定義されることを特徴とする請求項27または28記載の電子装置。

【請求項30】 ベクトルは、マイクロプロセッサを再起動する第1モジュールのコードをアクセスし、その後所望の第2モジュールのコードを起動するルーチンを含むことを特徴とする請求項29記載の電子装置。

【請求項31】 マイクロプロセッサ(300)は：受信機(110)；送信機(112)；およびユーザ・イ

ンタフェース(117);によって構成される無線通信装置の一部をなすことを特徴とする上記の請求項に記載の電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、(i)ランダム・アクセス・メモリ(RAM)および(ii)リード・オンリ・メモリ(ROM)の内部キャッシュを内蔵し、かつ、デュアル・モード動作が可能なマイクロプロセッサからなる電子装置に関する。さらに詳しくは、本発明は、無線受信回路に関連するデュアル・モード・マイクロプロセッサに関するが、ただし、それに限定されるものではない。

【0002】

【従来の技術】マイクロプロセッサは、現代の無線通信装置において広く利用されている。これらのマイクロプロセッサは無線装置内および他の関連ハードウェアの制御論理および通信回路の基盤を構成する場合が多い。

【0003】図1は、従来の無線装置の機能ブロック図を示す。この図では、受信部110および送信部112は別々のブロックとして示されている。しかし、受信および送信機能が同時に動作しない単信モードで動作する無線装置は、両方の回路に共通の素子を共有する場合が多い。これには二重の利点がある。第1に、回路板に内蔵される素子の総数が減少され、第2に、それに対応して製造コストが低減することである。

【0004】移動無線トランシーバの場合の12Vバッテリーのような外部電源111は、安定電源119に結合される。この電源120からの出力は、受信機110、送信機112およびプロセッサ116に伝送される。電源119の出力120はDC(直流)電源で、RF(高周波)電源回路用は12Vであり、アナログ回路用は+10Vであり、論理回路用は+5Vであるのが一般的である。第1双方向信号バス118および第1双方向制御バス121は共に複数の導体からなり、受信機110およびプロセッサ116を互いに結合させる。さらに、プロセッサ116は第2信号バス123および第2制御バス124によって送信機112に結合される。第2信号バスおよび第2制御バスは共に複数の導体からなる。第3双方向バス122は、プロセッサ116をユーザ・インタフェース117に結合する。ラウドスピーカ114は、受信機110の別の出力に結合される。マイクロフォン115は、送信機112の別の入力に結合される。さらに、受信機110および送信機112はアンテナ113に結合される。

【0005】受信機110の動作機能については、変調RF(無線周波)信号をアンテナ113から受信する段階、この受信信号を復調する段階および情報を音声信号としてラウドスピーカ114に中継する段階に要約することができる。同様に、送信機112の動作は、マイク

ロフォン115から音声信号を受信する段階、この情報を最終的な変調RF信号に変換する段階および接続されたアンテナ113を介して変調情報を送信する段階によって要約することができる。

【0006】図2において、プロセッサはマイクロプロセッサ200、関連外部ROM201およびRAM202ならびにインタフェース回路203、204、205によって構成されるとみなすことができる。また、このプロセッサはユーザ・インタフェース117のサービス処理を行う。一般に、ユーザ・インタフェース117は、プッシュ・ボタン、セレクト・スイッチ、ボリュームなどのユーザ入力装置/回路と、LCDまたはLEDインジケータなどのユーザ出力ディスプレイとによって構成される。

【0007】図1の第1信号バス118および第2信号バス123を兼ねる信号バス207は、インタフェース205を介してマイクロプロセッサ200に結合される。図1の第1制御バス121および第2制御バス124を兼ねる制御バス208は、第3双方向バス122と同様に、マイクロプロセッサ200に直接結合される。ユーザ・インタフェース117は、第3双方向バス122の他端に伝送する。外部水晶206は、マイクロプロセッサ用の所定の動作クロック周波数を与え、このマイクロプロセッサに結合される。外部ROM201およびRAM202は、アドレス・バス203およびデータ・バス204を介してマイクロプロセッサ200に結合される。

【0008】マイクロプロセッサ200は、とりわけ、特定の命令に伝送してさまざまな回路間のデータ・フローを統制し、このようなデータ転送のタイミングについて担当する。さらに、マイクロプロセッサ200は、受信機110、送信機112およびユーザ・インタフェース117にアナログまたはデジタル信号を出力しなければならない。マイクロプロセッサ200は、ROM201に格納されたソフトウェア・プログラムを読み出し、そしてRAM202に格納されたソフトウェア・プログラムを読み出すこともある。さらに、マイクロプロセッサ200は、RAM202内のデータ・メモリに対して情報の読み書きを行う。ソフトウェア・プログラムはコードのモジュールによって構成され、各モジュールは無線装置の特定の動作機能に関連している。一度に動作するコードのモジュールは、受信機110および送信機112からのアナログおよびデジタル信号の現在の状態と、無線装置(受信または送信モード)の現在の状態と、ユーザ・インタフェース117から得られるユーザの命令とによって決められる。

【0009】プロセッサ116内のアドレス・バス203およびデータ・バス204上で情報を読み書きする速度は、マイクロプロセッサの内部クロック・レートによって決まる。このクロック・レートは、外部水晶206か

ら導出される。モトローラ社製MC68HC11のような典型的なマイクロプロセッサでは、水晶の周波数は8MHzである。このクロック周波数は、2MHzの対応するリード/ライト・レートに相当する。しかし、外部バス上におけるマイクロプロセッサのリード/ライト動作により、バス・アクセス周波数およびそのn乗の調波(harmonics)において雑音スパイクのスペクトルが生成される。MC68HC11の場合、これらの雑音スパイクは2MHzおよび2MHzの整数倍の間隔で発生する。さらに、例えばミリ秒毎に一回アクセスされる(単純な)プログラム・モジュールをマイクロプロセッサが実行している場合、2MHzのスペクトル雑音成分はアクセス・レートの周波数、すなわち上記の例では±1kHzだけ広げられる。

【0010】70~100MHzの周波数で動作する現代の無線装置は、高速ソフトウェア割込みルーチンを利用して、信号データを生成および解読する場合が多い。この信号データには、例えば、モトローラ独自のスタートアラート・デジタル信号方式(Start-Alert Digital Signalling Scheme)や、セレクト5トーン(Select 5 tone)信号方式(この方式は欧州や米国で広く利用されている)またはドイツで用いられているZVEIバイナリ・デジタル信号方式など他の標準的な信号方式などがある。これらの周波数では、生成される雑音成分は、無線装置の動作性能の影響する大きなエネルギーを有することありうる。

【0011】生成雑音は、アドレスおよびデータ・バスからの結合および誘導ピックアップにより、直接放射によりならびに信号および制御バスを介する直接結合により、無線装置の敏感な受信回路110に伝えられる。生成雑音の伝達過程に存在する別の経路は、回路素子間の共通電源接続120(図1)である。

【0012】

【発明が解決しようとする課題】受信モードで動作する無線装置の場合、無線周波(RF)信号強度は、例えば、せいぜい0.3μVである。しかし、生成雑音のピックアップはこの値よりも一桁大きい(〜3ないし5μV)であることが多い。従って、生成雑音は無線装置の感度を大幅にそして許容できないほど低減させることがあり、そのためこの雑音をなんらかの方法で削除、防止あるいは制限する必要がある。さらに、考慮を要する第2の雑音源は、無線装置の動作に直接関連するマイクロプロセッサ駆動装置から発生する。この装置には、例えば、非信号無線装置に信号機能を追加するための信号装置がありうる。このような場合、関連装置は、無線装置の接続のすべてではないにしてもその一部、例えば、外部電源111、信号バス118、制御バス121などに結合される。この関連マイクロプロセッサ駆動装置は、上記と同じ仕組みによってシステム内の全体的な雑音生成に寄与する。

【0013】生成雑音が無線装置の受信機の感度に干渉することを防ぐために用いられる従来の方法は、プロセッサ・ブロック116全体を遮蔽ボックス内に封入することが一般的である。この遮蔽ボックスは、RF遮蔽を向上させるため導電性塗料で塗装される場合が多い。さらに、プロセッサ116へのすべての入出力接続は、誘導チョークまたは抵抗や、グランドに結合された並列コンデンサ(フィードスルー・コンデンサ)などのさまざまな方法によって濾波される。さらに、プロセッサに対する電源の減結合も実施される。これらの従来の解決方法から生じる欠点は多くの点で明らかである。すなわち、無線装置のコスト、複雑度、重量および寸法がかなり大きくなり、また、電源ライン減結合の場合には、送信モードにおける無線装置の高電流要件によりこのような解決方法は実際的でない。

【0014】当技術分野において、無線装置、特に、雑音の発生を最小限に押さえ、無線受信機の感度を改善するマイクロプロセッサに対する大きな必要性があることは明らかである。さらに、感度の改善および雑音の影響を受けにくいことは、無線装置の全体的なコスト低減、小型軽量化および構成の複雑度の低減を伴うことが望ましい。

【0015】

【課題を解決するための手段】本発明は、上記の従来の技術において説明した欠点の少なくとも一部について対処する。本発明に従って、マイクロプロセッサからなる、例えば無線受信機である電子装置が提供される。マイクロプロセッサはオンチップ・メモリを内蔵し、シングル・チップ・モードまたは拡張モードのいずれかで動作することができる。シングル・チップ・モードはマイクロプロセッサの動作を内部動作に限定し、そのため外部アドレッシングおよび局部発生雑音を抑制し、拡張モードは外部アドレッシングを許す。プログラム・コードのモジュールからなるソフトウェア・プログラムは、第1および第2カテゴリのルーチンに分類される。第1カテゴリのルーチンは内部メモリに格納され、発生雑音にかなり影響を受けやすい装置機能(例えば受信機能)に関する。第2カテゴリのルーチンはマイクロプロセッサに対して外部のメモリに格納され、発生雑音にそれほど影響を受けない装置機能(例えば送信機能)に関する。さらに、マイクロプロセッサの雑音制限シングル・チップ・モードで第1カテゴリのルーチンを実行し、かつ、第2カテゴリのルーチンをマイクロプロセッサの拡張モードで実行する手段が提供される。

【0016】本発明の好適な実施例では、第1カテゴリのルーチンはさらに主(primary)および副(secondary)アルゴリズムに区分される。第1カテゴリの主アルゴリズムは、連続的にアクティブなプログラム・コードからなる。第1カテゴリの副アルゴリズムは、随時呼び出されるコードで、アクティブになるとバス利用率の高いコ

10

20

30

40

50

ードからなる。(このように区分することは、第1カテゴリのルーチンの全コード・サイズがマイクロプロセッサの内部メモリ容量を越える場合に必要となる)。第1カテゴリの主アルゴリズムはマイクロプロセッサの内部メモリ内に永久的に保存されるが、第1カテゴリの副アルゴリズムは最初に外部メモリに格納される。この区分により、内部不揮発性メモリの利用が可能になる。第1カテゴリの副アルゴリズムは、必要な場合にのみマイクロプロセッサの内部オンチップ・メモリに転送される。内部メモリにロードされると、マイクロプロセッサが雑音制限シングル・チップ・モードに戻ってから、この副アルゴリズムは実行される。

【0017】マイクロプロセッサは、特定の命令を受信すると、シングル・チップ・モードと拡張モードとの間で切り換える。これらの命令はソフトウェアまたはハードウェアで生成され、モード・スイッチの起動によってモード遷移を行う。プログラム制御は、アドレスまたはジャンプ・ベクトルを利用することによってモード遷移期間中も維持され、このアドレスまたはジャンプ・ベクトルはマイクロプロセッサの内部メモリに格納されるか、あるいはデータ・ラッチなどの保存手段に格納される。

【0018】このように設計された上記の電子装置により、マイクロプロセッサによって生成される雑音の低減され、無線受信回路における本発明の応用では、無線受信回路の感度が改善されるという新規な利点を得られる。さらに、本発明を実施することによって得られる利点は従来技術に基づいていないため、この電子装置の小型軽量化および全体的な構成の複雑度の低減の結果、別の利点も得られる。

【0019】本発明の実施例について添付の図面を参照して説明する。

【0020】

【実施例】本発明の好適な実施例に従って、図3は従来の無線トランシーバ(図1)のプロセッサ116内に内蔵されるデュアル・モード・マイクロプロセッサ300を示す。このデュアル・モード・マイクロプロセッサ300は、RAM301およびROM302の内部キャッシュからなる。ROM302は、マスクROMまたはEPROM(Electrically Programmable ROM)であってもよい。さらに、このデュアル・モード・マイクロプロセッサは、プログラムまたはデータの永久メモリ保存用に利用できるEEPROM303(Electrically Erasable Programmable ROM)によって構成されてもよい。

【0021】本発明の好適な実施例である図3は、図2の従来のプロセッサに実質的に基づいている。好適な実施例で支配的な追加機能として、(i)モード・スイッチ308は、複数のコンダクタ309を介してデュアル・モード・マイクロプロセッサ300の第1および第2モード選択端子に結合される；(ii)ユーザ・インタ

フェース117は、制御入力コンダクタ307を介してデュアル・モード・マイクロプロセッサ300に結合される別の入力を与える。このコンダクタは、デュアル・モード・マイクロプロセッサ内でモード遷移を開始させる手段を提供する；(iii)ユーザ・インタフェース117は、複数のデータ入力305および複数のデータ出力306によってデュアル・モード・マイクロプロセッサ300に結合される。これらの入力および出力は、従来のプロセッサ116の第3双方向結合バス122に取って代わる。

【0022】実験により、プロセッサ内で発生する雑音量は、内部メモリ・キャッシュ301、302、2303が用いられる内部モードのみで動作する場合に、大幅に低減できることが判明している。そのため、デュアル・モード・マイクロプロセッサ300は、シングル・チップ・モードまたは拡張モードのいずれかで機能する。基本(通常)動作はシングル・チップ・モードで行われ、この場合、敏感な(無線受信)機能に影響を与え、かつ外部関連機器および外部バスのアクセス活動によって発生する雑音干渉は最小限の押さえられる。マイクロプロセッサ300がこのシングル・チップ・モードで動作している場合には、外部ROM201およびRAM203は非動作状態である。さらに、外部アドレス・バス203およびデータ・バス204は付勢されていない。これらの外部素子および接続を非アクティブにし、かつ、デュアル・モード・マイクロプロセッサ300が内部動作に費やす時間を最適化することにより、発生雑音量は大幅に低減される。

【0023】無線装置の敏感な(無線受信)機能内の発生雑音レベルの所望の低下は、デュアル・モード・マイクロプロセッサ300内でプログラム・コードを分割することによって実現される。プログラム・コードを体系的に解析することにより、コードの各モジュールを無線装置の個別の動作機能に関連させる。特定のモジュールは特定の動作機能に割り当てることができるので、2つのカテゴリのコードを導出することができる。第1カテゴリのルーチンは、雑音の影響を特に受けやすいプロセッサ(無線)機能、例えば、無線受信機能に関する。これらの第1カテゴリのルーチンは、シングル・チップ・モードが動作している場合にデュアル・モード・マイクロプロセッサ内で実行される。第2カテゴリのルーチンは、発生雑音がプロセッサ(無線)機能にそれほど影響を与えないプロセッサ(無線)機能、例えば、無線送信機能や、(a)装置のモードを変更する機能または(b)ユーザと通信する機能に関する。これらの第2カテゴリのルーチンは外部メモリ201、202および外部バス118、121、203、204を利用し、拡張モードで動作する。

【0024】第1カテゴリに入るすべてのルーチンは内部ROM(EPROM)302内に格納され、できれば

10

20

30

40

50

デュアル・モード・マイクロプロセッサ300の内部EEPROM303に格納されるのが理想的である。さらに、EEPROM303は、散発的にしか変化しないデータ定数を含んでもよい。残念ながら、現在の技術は内部プロセッサのメモリ・サイズを制限している。内部のマスキドROMは一般に〜8Kであり、内部EEPROMは、特にモトローラ社製MC68HC11の場合には、メモリサイズは2Kまでである。第1カテゴリのルーチンのコード・サイズ(バイト)がROM302とEEPROM303とを組み合わせた内部メモリ・サイズを越える場合には、デュアル・モード・マイクロプロセッサ300の内部RAM301を用いて、プログラムによって生成されるデータや変数とは別に、第1カテゴリのルーチン・コードのモジュールを周期的に格納することができる。内部RAM301は一般に〜0.5Kである。

【0025】内部RAM301によって与えられる追加メモリ容量をさらに効率的に利用するためには、第1カテゴリのルーチンはさらに主(primary)および副(secondary)アルゴリズムに区分される。第1カテゴリのルーチンの主アルゴリズムは、連続的にアクティブなプログラム・コードからなる。副アルゴリズムは、随時呼び出されるコードで、アクティブになるとバス利用率の高いコード、例えば、遅延ループまたは入力などの状態遷移を監視するループからなる。このとき、第1カテゴリの主アルゴリズムはデュアル・モード・マイクロプロセッサ300の内部ROM(EPROM)302内に永久的に保存され、第1カテゴリの副アルゴリズムは最初に外部メモリ201、202に格納されるようにソフトウェアは構成される。これらの副アルゴリズムは、呼び出される毎に、すなわち、各特定ルーチンが必要になるときのみに内部RAM301に転送される。内部RAM301内にロードされると、この副アルゴリズムはデュアル・モード・マイクロプロセッサが雑音制限シングル・チップ・モードに戻ったときに実行される。

【0026】マイクロプロセッサ300は、特定の命令を受信したときにシングル・チップ・モードと拡張モードとの間で切り換える。これらの命令は、4種類の事象、すなわち(a)プログラム・モジュール・オペレーション；(b)信号ライン118または制御バス・ライン121の一つにおける特定の変化；(c)ユーザによって起動される、ユーザ・インタフェース・データ出力ライン305の一つにおける変化；および(d)ユーザによって起動される、制御入力コンダクタにおける変化、のいずれか一つの結果得られる。モード遷移はモード・スイッチ308を起動することによって実行される。

【0027】第1の種類の事象(a)、すなわちプログラム・モジュール・オペレーションの結果生じるモード遷移は、頻繁に生じる。例えば、デュアル・モード・マ

クロプロセッサが無線受信モードの場合、復号された受信データ信号は、送信されたデータ・メッセージの形式で肯定応答を必要とすることがある。先に述べたように、マイクロプロセッサによって発生される雑音は、送信信号レベルに対して重要でない。従って、送信データの肯定応答は外部ROM201および外部RAM202内のプログラム・コード(モジュール)から、すなわち拡張モード内で処理し生成することができる。同様に、復号された受信データ信号は、デュアル・モード・マイクロプロセッサ300に対して受信された情報をユーザに表示するよう指示することがある。この種のモード遷移のもう一つの例は、例えば、低レベルの受信信号の特性解析が外部通信装置によって実施される場合に生じる。このような場合、解析されたデータはユーザ・インタフェースを介して周辺ユーザ・ディスプレイに出力される。指定された解析が完了すると、拡張モードが起動され、外部ROM201に格納されたコードのプログラム・モジュールは所望のユーザ・ディスプレイ出力を生成するためにアクセスされる。

【0028】モード遷移を生じる第2の種類の事象

(b)は、信号ライン118または制御バス・ライン121の一方における特定の変化に関し、主に無線装置の設定手順に関する。例えば、無線受信機は、受信信号を識別し検出するハードウェアを内蔵していることがある。このハードウェアは、例えば、受信信号の変調搬送波の検出に基づいている。着信信号の検出時に、受信機はデュアル・モード・マイクロプロセッサ300に制御ラインの遷移を行う。このとき、デュアル・モード・マイクロプロセッサは、着信呼を受信したことをユーザに知らせる。一般に、これは「着信(CALL)」インジケータを点灯させるか、あるいは無線装置の音声スピーカ114を介して鳴音を発生するか、あるいはその両方によって行うことができる。この場合も、外部ROM201に格納されたプログラム・コードがアクセスされる拡張モードを利用することができる。

【0029】第3および第4の種類の事象(c),

(d)、すなわちユーザ・インタフェース・データ出力306、307における変化によって起動されるモード遷移は、ユーザ入力命令の結果生じる。例えば、ユーザがプッシュ・トゥ・トーク(PTT)キーなどのキーを押して、無線送信機をアクティブにする必要がある場合がある。あるいは、ユーザはモード選択またはスキャン・キー(図示せず)などのチャンネル変更キーを選択して、無線機の動作モードを拡張モードに変更する場合がある。これらのユーザ・キー入力は、データ出力306の一つを介して、あるいは制御入力コンダクタ307を介してデュアル・モード・マイクロプロセッサ300に直接結合することができる。制御コンダクタ307を介するマイクロプロセッサへの入力では、マイクロプロセッサがどのユーザ・キーが起動されたかを確認しなけれ

10

20

30

40

50

ばならないのが一般的である。

【0030】モード遷移を開始する前に、アドレスまたはジャンプ・ベクトルがデュアル・モード・マイクロプロセッサの内部RAMに書き込まれる。このアドレスまたはジャンプ・ベクトルは、モード遷移中にプログラム制御を維持する。アドレスまたはジャンプ・ベクトルは、マイクロ・リセットが強制的に行われた後に開始される所望のルーチンの特定開始番地を示す。このアドレスまたはベクトルは内部RAMに格納される。これはこのメモリの内容はマイクロ・リセット中にも保持されるためである。さらに、デュアル・モード・マイクロプロセッサによって用いられる各種のリセット、例えば、クロック・モニタ不良(clock monitor fail)、不正オペコード、ワッチドッグ・タイマ(watchdog timer)のタイムアウトまたは電気リセットは、独自のリセット・アドレスまたはベクトルを有する。このリセット・アドレスまたはベクトルに達すると、単純なルーチンは、格納されたRAMアドレスまたはベクトルによって指定されるプログラム・セグメントに対してジャンプ(JUMP)コマンドを実行する。マイクロ・リセットは特定のマイクロプロセッサ・レジスタおよびポートをクリアにするので、モード遷移が発生した後にプログラム・セグメントによって開始される最初の手順は、これらのレジスタおよびポートの再初期化(re-initialisation)である。

【0031】デュアル・モード・マイクロプロセッサが強制マイクロ・リセット中にその内部RAM状態を維持しない場合、外部シリアルまたはパラレル・データ・ラッチ(図示せず)に、特定開始番地を表すビット値をロードすることができる。この外部ラッチは、所望のジャンプ・ベクトルを得るために、モード遷移後に読み出すことができる。例えば、8ビットのシリアル・ラッチは、 2^8 個の可能な状態でロードすることができる。従って、各状態は、 2^8 個の異なるプログラム・セグメントの一つにマップする。データを保持する他の形式の保存装置、例えばパラレル・データ・ラッチまたはFIFO(first-in-first-out)メモリなども利用できることは当業者に明らかである。

【0032】すべてのデュアル・モード・マイクロプロセッサ300は、その動作モードを定める一つ以上のモード入力を持つ。特にモトローラ社製MC68HC11デュアル・モード・マイクロプロセッサについては、2つの入力ピン(MODEAおよびMODEB)の論理状態が動作モードを決定する。拡張モードは、MODEA入力を低論理値から高論理値に切り換えることによって得られる。MODEBは、抵抗を介して+5Vの値に永久的に結合されている。一般に、これらの入力は、リセット信号が受信された後に、デュアル・モード・マイクロプロセッサ300によって読み出される。本発明の好適な実施例では、第1に、新たに指定された動作モード用にモード入力を構成し、第2に、マイクロプロセッ

サ・リセットを強制実行することによって、動作モードは変更される。

【0033】マイクロプロセッサのマイクロ・リセットを実行することのできる方法には2つの異なる方法がある。その2つの方法とは、ソフトウェア起動型リセットとハードウェア起動型リセットである。

【0034】通常、現代のデュアル・モード・マイクロプロセッサ300は、マイクロプロセッサの内部クロックの存在と動作とを検証する内部ハードウェア回路を内蔵している。内部クロック信号が不在の場合、この内部ハードウェア回路はマイクロ・リセットを強制実行する。従って、このクロック・モニタ不良は、モードを変更する第1の方法を提供する。モトローラ社製MC68HC11マイクロプロセッサの場合、プログラム・コードがクロック・モニタ不良方式を介してマイクロ・リセットを開始するたびに、CONFIGレジスタ内のクロック・モニタ・イネーブル(CME)ビットはイネーブルになり、CCRレジスタ内のストップ・ディセーブル(S)ビットはクリアされる。ここで、STOP命令がソフトウェアから発行されると、モード遷移が生じる。クロック・モニタ・リセットが保証され、5~100マイクロ秒(μs)の遅延後に自動的に行われる。この遅延時間は、マイクロプロセッサ内に内蔵される内部RC回路によって設定される。

【0035】内部クロックモニタ不良回路のほかに、現代のデュアル・モード・マイクロプロセッサは内部ハードウェア・ワッチドッグ(watchdog)タイマ回路も内蔵している。この回路は、所定の時間期間にプログラムによって周期的にリセットされなければならない。所定の時間内にワッチドッグ・タイマ回路のリセットが行われない場合、マイクロ・リセットが強制的に行われる。ここでも、モトローラ社製MC68HC11を一例として考えると、内部ワッチドッグ・タイマ回路(適正コンピュータ動作タイマまたはCOP(computer operating properly)タイマという)は、CONFIGレジスタ内のNOCOPビットによってイネーブルにされる。内部OPTIONレジスタ内のCOPタイマ制御ビット(CR0, CR1)が共に0の場合、8MHzの外部水晶発振器クロック周波数206に対して16.384msの時間間隔が得られる。マイクロプロセッサ内でCOPタイマをリセットするためには、プログラム・コードは、COP時間間隔よりも短い時間間隔内で、連続した16進命令\$55および\$AAをCOPRSTレジスタに書き込まなければならない。これらのリセット命令は、主ソフトウェア・プログラムのループ/実行内のプログラム・セグメントによって、あるいは主プログラム・ループから独立した割込みルーチンによって実行される。一般に、リセット命令は、MC68HC11の内部ソフトウェア・タイマの10ms毎に起動される。従って、モード遷移は、必要に応じて、COPタイマのリセットを停

10

20

30

40

50

止することによって、すなわち、ワッチドッグ・タイマのタイムアウトを行うことによって開始できることが理解される。COPリセットおよびマイクロ・リセットは、16.384msの期間内に自動的に強制実行される。リセットまでの厳密な時間期間は、規定されたCOPタイムアウトと、前回のCOPタイマ・リセットから経過した時間の長さによって決まる。

【0036】ソフトウェア起動型マイクロ・リセットを強制実行する第3の方法は、不正オブコード検出回路を用いて行う。クロック・モニタ不良およびワッチドッグ・タイマ・タイムアウト用の内部ハードウェア回路とは別に、現代のデュアル・モード・マイクロプロセッサは、未定義または不正オブコード命令についてソフトウェア・プログラム・コードを特別にチェックする内部ハードウェア回路を内蔵している場合が多い。例えば、マイクロプロセッサが予定の命令コードではないプログラム・データ値を受け取った場合、マイクロ・リセットが強制実行される。従って、モード遷移は、必要に応じて、演算定数を有するコード・アドレスに分岐(BRANCH)またはジャンプ(JUMP)命令をソフトウェアから発行することによって開始することができる。この番地は、デュアル・モード・マイクロプロセッサの適正オブコードを表さない定数を含んでいなければならない。不正オブコードが検出されると、マイクロ・リセットが即刻強制実行される。

【0037】例えば、モトローラ社製MC68HC11においてアクティブL(low)入力ピンでマイクロ・リセットを強制実行するハードウェア方法を図4に示す。デュアル・モード・マイクロプロセッサ300のアクティブLリセット入力400と双方向入/出力ピン401とは互いに結合されている。パワーアップ・リセット信号402は、ダイオード403の負端子を介して双方向入/出力ピン401に結合される。このリセット信号402は、電源投入(パワーアップ)の直後にプロセッサ内でリセット・モードを維持するために現代のマイクロプロセッサ装置によって与えられる。このパワーアップ・リセット・モードは、論理装置への+5V電源がプリセット最小値(一般に+4.75V)に達するまで(この時点で、プロセッサは正常に機能することが保証される)アクティブ状態に維持される。さらに、リセット・ピン400はプルアップ抵抗404を介して+5V電源電圧120に結合される。パワーアップ・リセット期間終了時点で、双方向入/出力ピン401は入力として動作し、パワーアップ・リセット入力402はH(high)になる(+5V)。抵抗404両端の電圧降下は、リセット・ピン400を+5V電源に結合し、リセット信号402がマイクロプロセッサから遮断されることを保証する。その後、マイクロプロセッサの動作が開始する。

【0038】初期パワーアップ時に、パワーアップ・リセット入力402はL(0V)になる。双方向入/出力

ピン401は入力として動作し、ダイオード403の動作の結果、リセット入力ピン400はLに引き下げられる。モトローラ社製MC68HC11では、モード入力ピンMODEB405は、抵抗(図示せず)を介して+5V電源120に結合される。MODEA入力406は、マイクロプロセッサ出力407と、さらにプルダウン抵抗408を介して接地(0V)電位409とに結合される。マイクロプロセッサ出力407は、マイクロプロセッサによって与えられる任意の汎用出力ピンである。従って、出力ピン407はマイクロ・リセットが強制実行された後にLになるので、MODEA入力406もLになり、パワーアップ時にシングル・チップ・モードが得られる。

【0039】モード遷移は、第1に、マイクロ出力407を動作モードを定める指定の論理状態に設定し、第2に、双方向入/出力ピン401を低論理レベルを有する出力に変更することによって、必要に応じて開始することができる。この時、ハードウェア起動型マイクロ・リセットが行われる。モトローラ社製MC68HC11の場合、マイクロ・リセット時のMODEAピンの論理状態はデュアル・モード・マイクロプロセッサの動作モードを決定することが理解される。さらに、双方向入/出力ピン401は、デュアル・モード・マイクロプロセッサがリセット・ルーチンを開始するまでしか出力として維持されない。自動的に入力機能を再開することによって、入/出力ピン401は、マイクロプロセッサが最小限の時間間隔の間のみリセット状態に維持されることを保証する。

【0040】デュアル・モード・マイクロプロセッサのリセットの動作極性を反転するためには、抵抗404は接地電位に結合され(それによりプルダウン抵抗として機能する)、ダイオード403は反転極性で配向されることは当業者に明らかである。

【0041】図4は、モード・スイッチの便宜を図るため一つのモード入力しか必要としない、例えばモトローラ社製MC68HC11のようなデュアル・モード・マイクロプロセッサのハードウェア・モード・スイッチ

(図3の308)の好適な実施例を示す。デュアル・モード・マイクロプロセッサがパワーアップ時にモード入力ピンを高論理レベルに設定し、かつ動作中にモード入力ピンを低論理レベルに変更させる必要のある場合、モード入力ピンはパワーアップ・リセットピンについて説明したのと同じ方法で双方向入/出力ピンに結合されなければならない。さらに、抵抗408はプルアップ抵抗として機能し、従って+5V電源120に結合されなければならない。2つ以上のそれぞれのモード入力ピンを変更する必要があるデュアル・モード・マイクロプロセッサの場合、各モード入力ピンは出力ピンに結合されなければならない。この出力ピンは、マイクロプロセッサによって与えられる任意の一つの汎用ピンでもよい。さ

らに、デュアル・モード・マイクロプロセッサは、マイクロ・リセット命令時およびマイクロプロセッサ出力ピンの初期化の直前に、モード入力ピンを読み出す場合が多い。そのため、新たに必要なモードの出力状態は、強制マイクロ・リセットの前に設定される。

【0042】MC68HC11などの現代のデュアル・モード・マイクロプロセッサの大部分では、そのモード入力またはリセット入力ピンがマイクロプロセッサによって読み出された後、すなわちマイクロプロセッサがゼロ・ホールド時間となった後に、これらのピンが論理状態を維持する必要はない。有限ホールド時間が必要な場合、図5および図6は有限ホールド時間を発生できるハードウェア構成を示す。

【0043】図5は、初期パワーアップ時にマイクロプロセッサのモード選択入力ピン417に低入力状態を特に供給する有限ホールド時間回路を示す。マイクロ出力407はダイオード415を介してpチャンネルJFET410のゲート端子に結合される。5V電圧電源120はJFET410のソース端子に結合され、ドレイン端子はモード入力417に結合される。抵抗418はモード入力417と接地409との間に結合される。コンデンサ411と抵抗414との並列組合せは、接地409とJFETのゲートとの間および接地409とダイオード415の負端子との間で結合される。抵抗418は、モード入力417を低論理レベルに維持する。パワーアップ時に、マイクロプロセッサの出力ピン407はLになる。その結果、JFETは非導通状態になり、モード入力の入力状態は抵抗418によって決まる。モードの変更が必要な場合、マイクロ出力ピン407はHに設定される。これによりJFETは導通状態になり、モード入力ピン417を高論理状態に設定する。マイクロ・リセットが強制実行されると、マイクロ出力ピン407はJFET410の動作に影響を与えずに低論理レベルに戻る。ダイオード415はコンデンサ411が放電することを防ぐので、JFETはオン状態に維持される。従って、コンデンサ411の容量値と抵抗414の抵抗値との積によって得られる時定数は、モード入力ピン417が高論理レベルに維持される持続時間を決定する。

【0044】図6は、初期パワーアップ時にマイクロプロセッサのモード選択入力ピン417に高入力状態を特に供給する有限ホールド時間回路を示す。モード入力ピンがHに維持される時間間隔は、この場合も、前記の並列開回路のRC構成によって生成される時定数によって決まる。マイクロ出力407は、ダイオード415を介してpチャンネルJFET410のゲート端子に結合される。しかし、モード入力417はJFET410のソース端子に結合される。さらに、モード入力417は抵抗416を介して+5V電圧電源120に結合される。JFET410のドレイン端子は、接地(0V)電位4

09に結合される。パワーアップ時に、抵抗416はモード入力を高論理レベルに維持する。

【0045】リセット入力ピン上で有限ホールド時間を必要とするデュアル・モード・マイクロプロセッサは上記と同じ遅延技術により、あるいは別の構成により実現できることは当業者に明らかである。

【0046】送信機および受信機などの無線部品を制御するデュアル・モード・マイクロプロセッサの制御バス・ライン(図3の121)は、モード遷移中にその論理状態を維持しなければならない。通常、デュアル・モード・マイクロプロセッサからのすべての出力ラインは、マイクロ・リセットが発生した後に低論理レベルに設定される。しかし、デュアル・モード・マイクロプロセッサがシングル・チップ・モードで動作している場合、特定の入力ラインは高論理レベルで動作しなければならない。例えば、従来の無線装置のPTT入力は、無線受信モードでは通常高論理レベルである。シングル・チップ・モードにおけるこれらの高入力状態は、双方向入/出力ラインと共に、パラレルまたはシリアル・データ・ラッチまたはプルアップ抵抗によって得ることができる。双方向入/出力ラインを用いることによってえられる補足的な利点として、これらのラインは拡張モードで追加出力として定義することができることがある。マイクロ・リセットが強制実行された後、出力として定義された任意のラインは自動的に入力に戻り、その論理状態は関連プルアップまたはプルダウン抵抗によって決まる。

【0047】本発明の好適な実施例は、無線装置内の用途に特に適用されるが、それに限定されるものではない。さらに、本発明の用途は、無線装置に対して外部にあるが、RF雑音を発生する傾向のある「追加(add-on)」装置にも見いだすことができる。しかし、第1モードがマイクロプロセッサによって発生される雑音の影響を受けやすい多重モード電子装置、例えばスペクトラム・アナライザや通信テスト装置にも同様に適用できることは当業者に明らかである。

【0048】従って、以上のように設計され、説明してきた本発明により、マイクロプロセッサによって発生される雑音量の低下および(i)マイクロプロセッサ、そしてさらに重要なことには(ii)関連する無線受信機の感度の改善という新規な利点が得られる。さらに、本発明を具現する無線受信機の総コストも低減される。また、無線装置の小型軽量化および構成の複雑度の低減によってさらなる利点も得られる。

【0049】上記の説明は一例に過ぎず、詳細の修正は本発明の範囲内で行うことができることはもちろんである。

【0050】

【図面の簡単な説明】

【0051】

【図1】従来技術による一般的な無線装置のブロック図

である。

【0052】

【図2】図1の従来の無線装置のプロセッサの構造を示す。

【0053】

【図3】図1の従来の無線装置などの電子装置内で実現するのに適した、本発明によるデュアル・モード・マイクロプロセッサの好適な実施例と関連ハードウェアを示す。

【0054】

【図4】図3のデュアル・モード・マイクロプロセッサ内のモード・スイッチを実現する方法を示す。

【0055】

【図5】図3のデュアル・モード・マイクロプロセッサ内のモード・スイッチを実現する方法を示す。

【0056】

【図6】図3のデュアル・モード・マイクロプロセッサ内のモード・スイッチを実現する方法を示す。

【0057】

【符号の説明】

117 ユーザ・インタフェース

201, 202 外部メモリ

118, 121, 203, 204 外部バス

300 マイクロプロセッサ

* 301 RAM

302 ROM

303 EEPROM

305 データ入力

306 データ出力

307 制御入力コンダクタ

308 モード・スイッチ

309 コンダクタ

400 アクティブLリセット入力

10 401 双方向入／出力ピン

402 パワーアップ・リセット信号

403 ダイオード

404 プルアップ抵抗

405 モード入力ピンMODEB

406 MODEA入力

407 MODEB出力（マイクロ出力）

408 抵抗

409 接地電位

410 pチャンネルJFET

20 411 コンデンサ

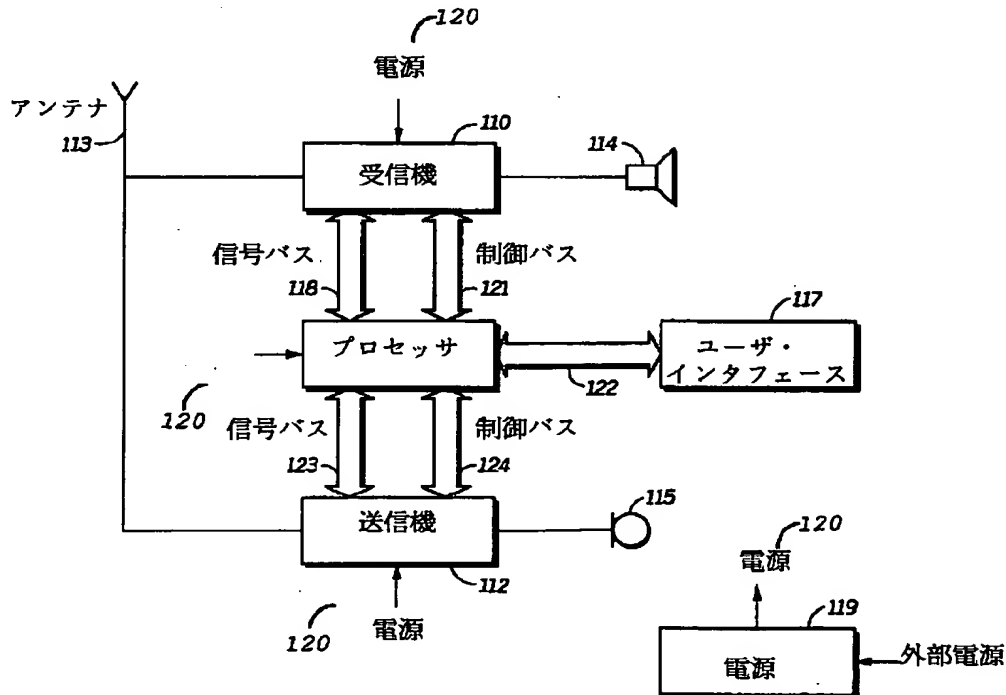
414, 416, 418 抵抗

415 ダイオード

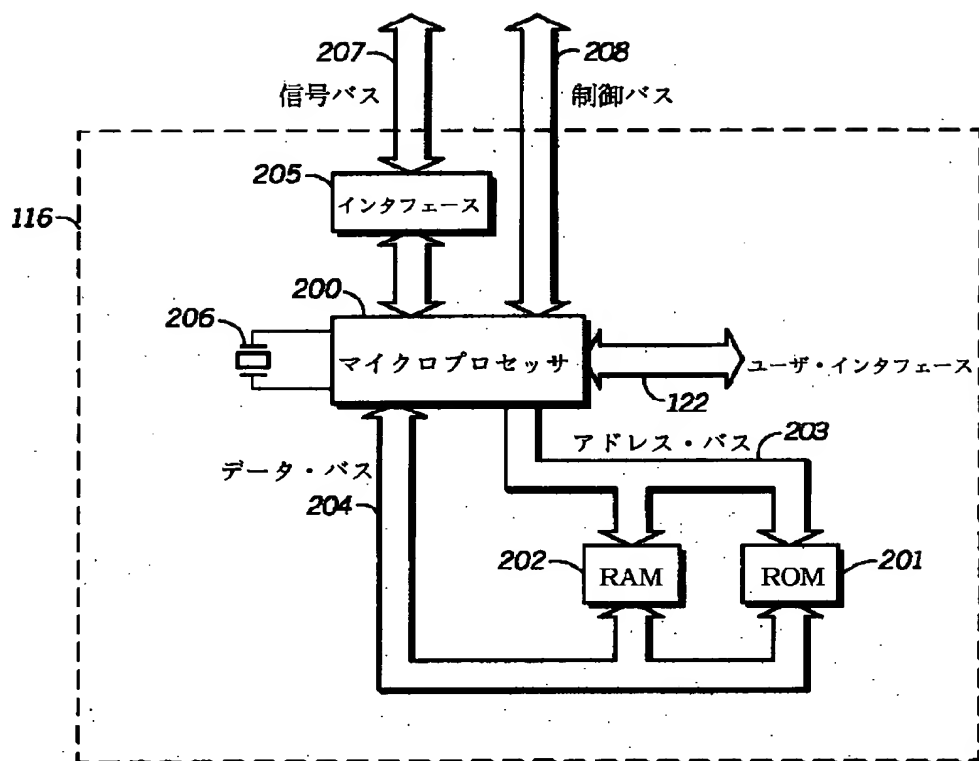
417 モード選択入力ピン

*

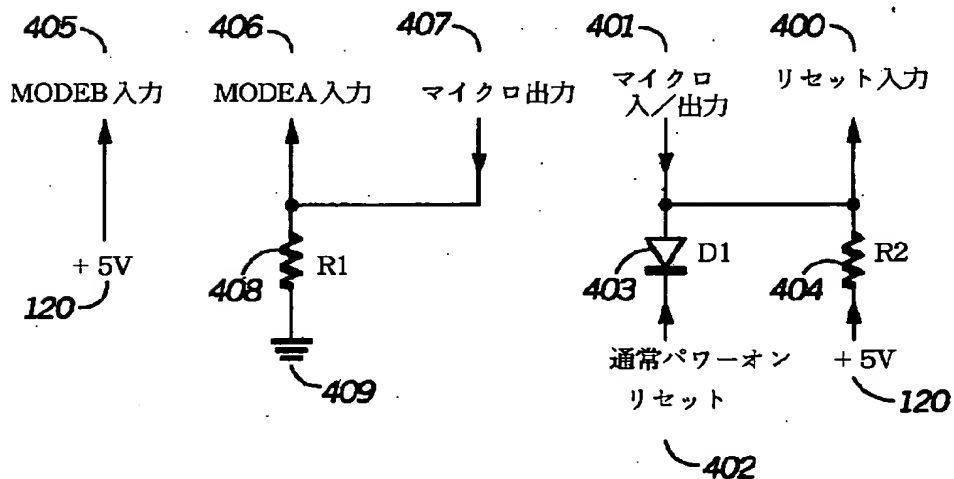
【図1】



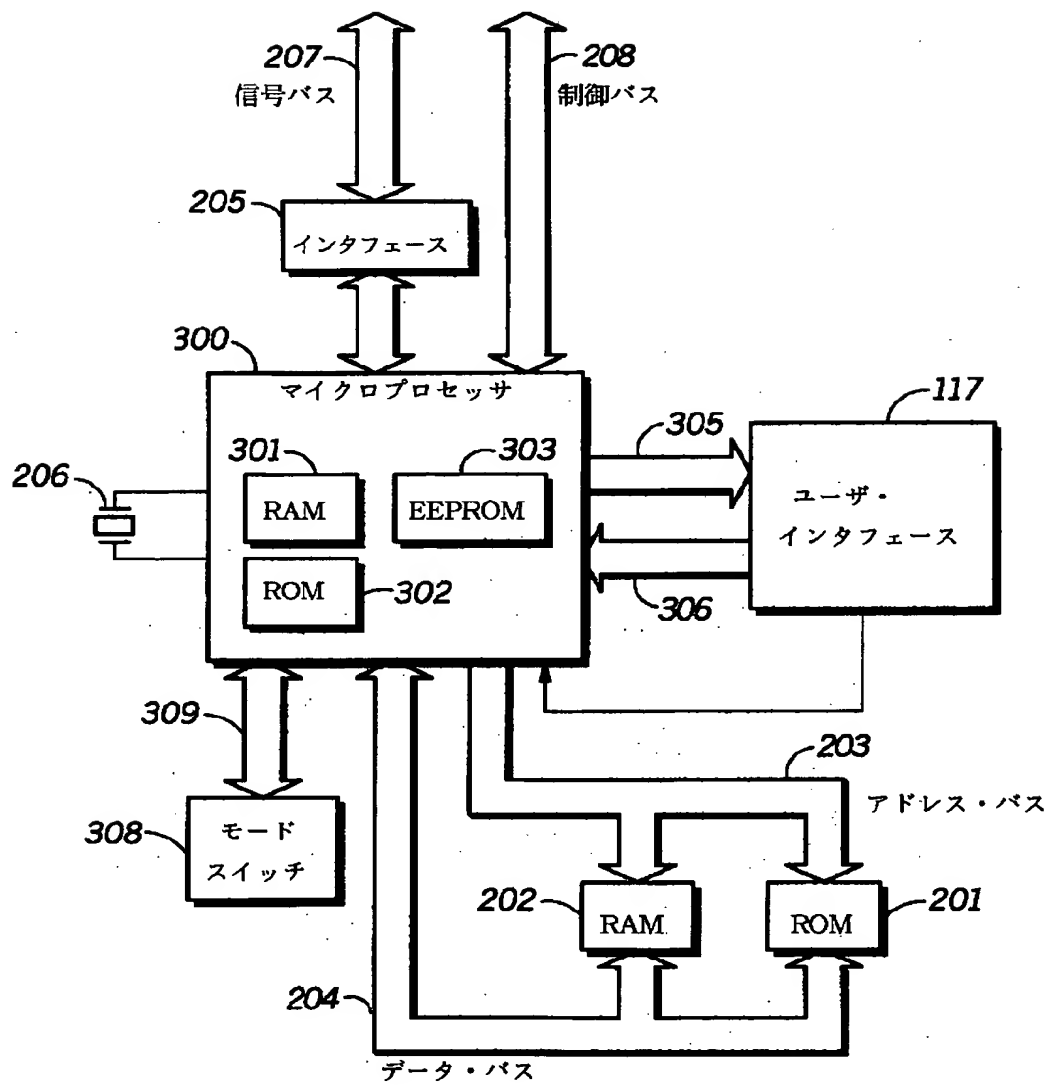
【図2】



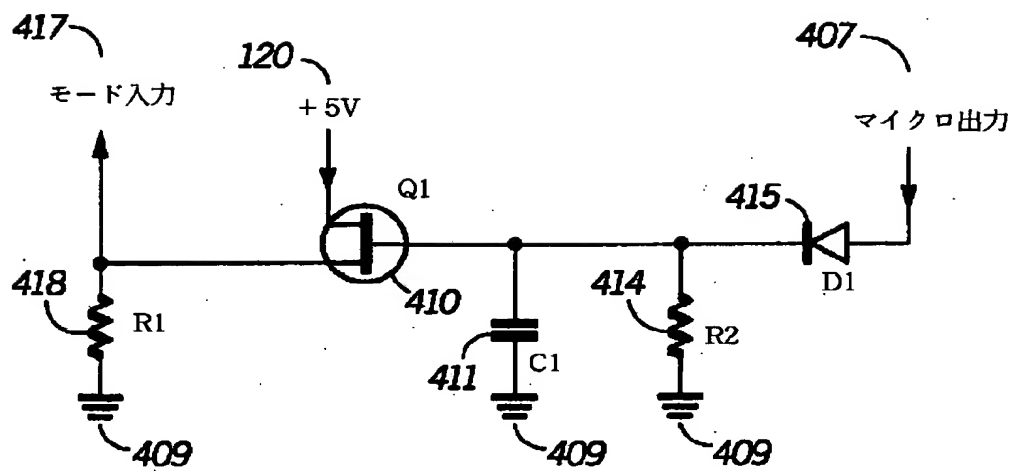
【図4】



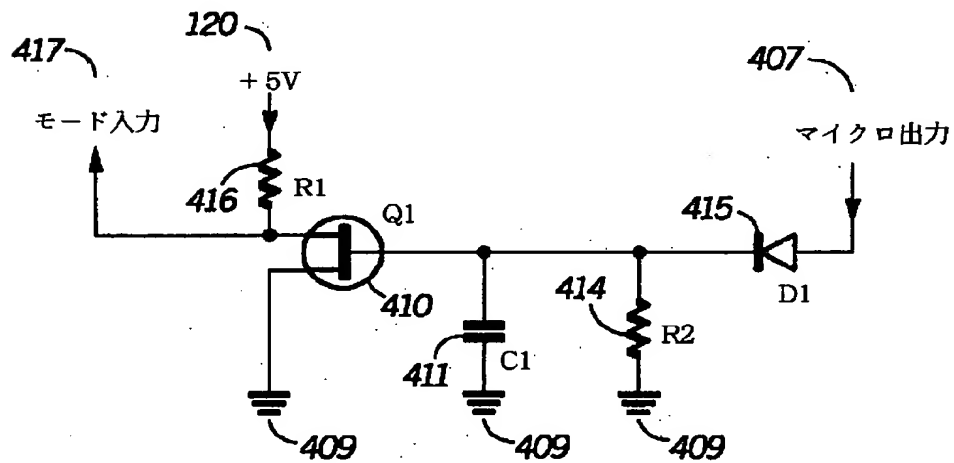
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 ビクター・コレン
イスラエル国、リション・ル・ジオン、カ
ール・ニター・ストリート9